

**(54) MOS TYPE CAPACITOR**

(11) 56-153778 (A) (43) 27.11.1981 (19) JP

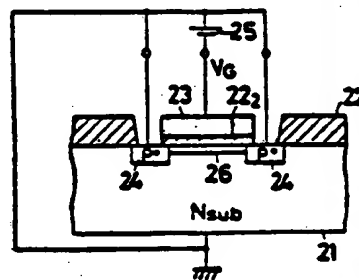
(21) Appl. No. 55-57517 (22) 30.4.1980

(71) TOKYO SHIBAURA DENKI K.K. (72) HIROFUMI YASHIRO

(51) Int. Cl. H01L29/94

**PURPOSE:** To form capacity which does not depend upon voltage without increasing processes by forming a capacitor between an electrode on an oxide film being formed on a substrate and a channel region being formed by the application of voltage to the electrode.

**CONSTITUTION:** A thin oxide film 22, is formed on an N type Si substrate 21 together with a gate oxide film, an electrode 23 is built on the film 22, and P<sup>+</sup> layers 24, 24 are formed on the substrate 21 by means of diffusion. The layers 24, 24 are connected in common, and grounding voltage is applied. When negative voltage  $V_g$  is applied to the electrode 23, a P channel section 26 is made up on the surface of an N layer just under the electrode 23, is connected to the layers 24 and functions as one electrode. The capacity of a depletion layer is not generated according to this phenomenon, and only parallel plate capacity held between the electrode 23 and the channel section 26, electrode capacity which does not depend upon the variation of voltage, is obtained as MOS capacity. Since the capacitor is the same as an MOSFET in shape, it can be formed at the same time as the MOSFET, and the number of manufacturing processes needs not be increased.



257/532

19 日本国特許庁 (JP)

12 公開特許公報 (A)

特許出願公開

昭56-153778

SI Int. Cl.<sup>3</sup>  
A 01 L 29 94

識別記号

庁内整理番号  
7357-5F

公開 昭和56年(1981)11月27日

発明の数 1  
審査請求 未請求

(全 4 頁)

### 8MOS型コンデンサ

特 願 昭55-57517  
出 願 昭55(1980)4月30日  
発 明 者 矢代廣文  
川崎市幸区小向東芝町1番地東

京芝浦電気株式会社トランジスタ工場内  
出 願 人 東京芝浦電気株式会社  
川崎市幸区堀川町72番地  
代 理 人 弁理士 鈴江武彦 外 2 名

### 明 細 書

#### 発明の名称

#### MOS型コンデンサ

#### 特許請求の範囲

第1導電性半導体基板上、該基板上に絶縁膜を介して設けられた電極と、該電極の直下に形成されるゲート領域の少なくとも一部に設けられた第2導電性領域と、前記ゲート領域内側の各第2導電性領域に同一電圧を印加する手段とを具備し、前記電極と該電極への電圧印加で形成される前記ゲート領域との間でコンデンサを形成することを特徴とするMOS型コンデンサ。

#### 発明の詳細な説明

本発明は電極と半導体間にコンデンサを形成するMOS型コンデンサに関するものである。

一般にMOS型構造は、ゲート絶縁膜上に設けた金属膜(または多結晶シリコン)を電極とし、これと半導体基盤との間に電圧を印加して使用するものである。従つてこの構造は基本的に

にコンデンサであり、片方の電極は半導体(結晶シリコン基盤)になっている。この考えを用いて、本明細書でMOS構造でコンデンサを成すると、第1図のようになる。この場合、 $C_1$ はN型シリコン基板、 $C_2$ は $SiO_2$ 膜(酸化)は電極(例えばポリシリコン)、 $C_3$ は金属膜である。

しかして第1図の如きMOS構造の全容量は

$$C = \frac{dQ_0}{dV_0}$$

で表わされ、 $dQ_0 = -dQ_2$  が成り立つ。ここで  $V_0$  は電極1の電圧、 $Q_2$  は電極2側の電荷、 $C$  は基板1の単位面積電容である。また

$$V_0 = \frac{-Q_2}{C_0} + \phi_s$$

$$C_0 = \frac{E_{ox} \cdot E_0}{T_{ox}}$$

ここで  $C_0$  は電極部の酸化膜容量、 $E_{ox}$  は膜の比誘電率、 $E_0$  は真空中の誘電率、 $T_{ox}$  は電極部の酸化膜厚、 $\phi_s$  はシリコン基板にかゝ

電圧（表面電位）である。上式より  $dV_0$  は、

$$dV_0 = \frac{-dQ_s}{C_0} + d\phi_s$$

これより

$$C = \frac{-dQ_s}{-dQ_s/C_0 + d\phi_s} = \frac{1}{1/C_0 - d\phi_s/dQ_s}$$

電荷領域のシリコン誘電率  $C_s$  は、

$$C_s = \frac{dQ_s}{d\phi_s} = \frac{E_{s1} \cdot E_0}{X_d}$$

$$X_d = \sqrt{\frac{2E_{s1} \cdot E_0 \cdot |N_D|}{qN_D}}$$

ここで  $E_{s1}$  はシリコンの表面電場、 $X_d$  は空乏層の厚みである。従つて MOS 構造の全容量は式となる。

$$C = \frac{1}{1/C_0 + 1/C_s}$$

$$\therefore \frac{1}{C} = \frac{1}{C_0} + \frac{1}{C_s}$$

これは MOS 容量が  $C_0$ 、 $C_s$  の直列容量であること

3

する。第3図において1はN型シリコン基板、2はフィールドSiO<sub>2</sub>膜（酸化膜）、3は例えばMOSトランジスタのゲート酸化膜と一層に形成された薄い酸化膜、4は電極（例えばポリシリコン）で、この電極4は、シリコンゲートMOSアークで形成する図に一層に形成される。5、6は電極4に接続して形成されたP<sup>+</sup>層、7は電極電極である。

この構成でなるMOSコンデンサは、形状的には通常のMOSトランジスタと同様であるが、これと異なるのは電気的接続である。図中P<sup>+</sup>層5、6相互間を共通に接続し、基P<sup>+</sup>層5、6に接地電圧を印加している。第4図(a)はこのP<sup>+</sup>層の部分を示すベークン平面図であるが、これらP<sup>+</sup>層を同じ接地電位に接続するには、第4図例に示すように例えば一層のP<sup>+</sup>層でつながった構成としてもよい。従つて電極4に負電圧  $V_0$  を印加すると、電極4の下にN型領域に反転層つまりPチャネル層5が形成され、これはP<sup>+</sup>層5とつながつて一方向

5

とを示している。

11556-15377511

ここで問題となるのが空乏層容量  $C_s$  である。これは式より明らかのように、電極4に印加された電圧に依存して変化する。ところで容量を設計する場合、電圧依存性のあるものを設計しにくい。この問題があるため、電圧依存性のMOS容量を形成する場合、図5は第2図に示すようにイオン・インプラントシリコン工程を追加して、前記空乏層の厚みを1にしていた。第2図において1は前記イオン・インプラントシリコンで形成されたN層で、これはN型基板より高濃度である。しかし2層の方式は、マスクを用いてイオン注入を1から工程増となり、コスト面で非常に不利である。

そこで本発明の目的とするところは、前記1のように工程が増加することなく、非電圧依存容量を形成することが出来るMOSコンデンサを提供しようとするものである。

以下図面を参照して本発明の一実施例を説明

6

する。この図面により、前記図例で説明した如き空乏層容量  $C_s$  は生じなくなり、MOS容量は電極4とチャネル層5で形成された平行平板容量、つまり電圧変動に依存しない電極容量  $C_0$ （平板容量）のみで与えられるものである。また第3図のMOSコンデンサは、チャネル層5に第2図の如きイオン注入を行なう必要がないし、形状的にはMOSトランジスタと同じであるからこれと同時に形成でき、従つて本コンデンサを得るために工程数を増加する必要は与えられないものである。

第5図は本発明の他の実施例で、N型基板1のP-well 領域3上にNチャネルを形成する場合の例である。この場合はP-well 領域3上にコンデンサを形成するための、半導体領域の導電率が低くなり、電極4に正電圧を印加してNチャネル層3を形成する。またN<sup>+</sup>領域4に負電圧を、P-well 領域3にP<sup>+</sup>領域5を介して負電圧をそれぞれ印加する。その効果及び作用効果は前図例と対応して考

6

る。  
となるのが空乏層容量 $C_0$ である。  
り明らかなように、電圧間に即加  
依存して変化する。ところでMOS  
る場合、電圧依存性のあるものは  
にくい。この問題があるため、非  
MOSを形成する場合、従来の  
ようにイオン・インプランター  
追加して、前記空乏層の影響を防  
2図において11は前記イオン・  
ンションで形成されたN層層で、  
後1より高濃度である。しかし、  
、マスクを用いてイオン注入を行  
増となり、コスト面で非常に不利

明の目的とするところは、前記の  
増加することなく、非電圧依存性  
ることができるMOS型コンデン  
うとするものである。  
参照して本発明の一実施例を説明

この現象により、前記従来の例で  
空乏層容量 $C_0$ は生じなくなり、MOS  
とチャネル層24で囲まれた平  
つまり電圧変動に依存しない電場  
容量)のみが得られるものである。  
MOS型コンデンサは、チャネル  
2図の如きイオン注入を行なう  
形状的にはMOSトランジスタと  
らこれと同時に形成でき、従つて  
を得るために工数増を増加する必  
ものである。

発明の他の実施例で、N層基板  
1領域21上にNチャネルを形成  
である。この場合はP-well領域  
コンデンサを形成するため、半導体價  
逆になり、電極23に正電圧を印  
セル層24'を形成する。またN'  
と電圧を、P-well領域21にP'  
て負電圧をそれぞれ印加する。そ  
作用効果は前記実施例と対応して得

えることができるので、前記箇所には同一符号  
を用いかつこれにダッシュを付して説明を省略  
する。

以上説明した如く本発明によれば、空乏層に  
よる影響を防止できるから非電圧依存性のMOS  
型コンデンサが得られ、工数増の増加がないか  
らコスト面でも有利化されたMOS型コンデン  
サが提供できる。

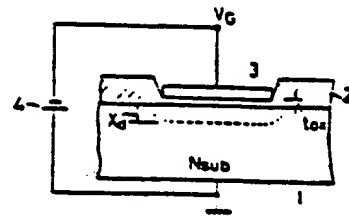
図面の簡単な説明

第1図、第2図は従来のMOS型コンデンサ  
の構成図、第3図は本発明の一実施例の構成図、  
第4図(a)、(b)は同構成の一部詳細図、第5図は  
本発明の他の実施例の構成図である。

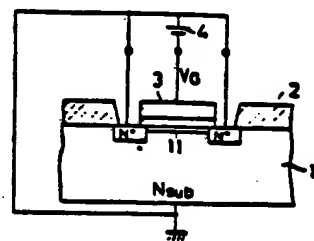
11…N層基板、22…絶縁膜、23…電極、  
24…P<sup>+</sup>層、24'…直交電極。

出願人代理人 弁護士 角 江 武 彦

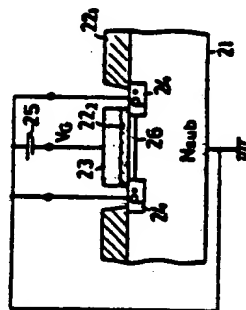
第1図



第2図



第3図



第4図

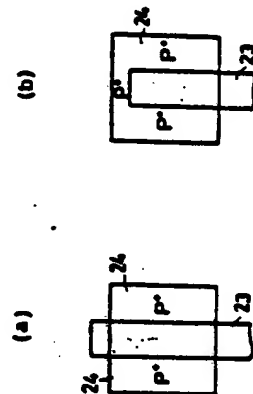


图 5

